

高可靠性 InGaZnO 薄膜晶体管集成 栅极驱动电路的研究

周刘飞¹, 邵贤杰², 陈旭², 王海宏², 王保平¹

(1. 东南大学电子科学与工程学院, 江苏南京 210096; 2. 南京京东方显示技术有限公司研发部, 江苏南京 210033)

摘要: InGaZnO 薄膜晶体管(InGaZnO Thin Film Transistor, IGZO TFT)具有高迁移率特性,易实现高分辨率且高刷新率的有源矩阵液晶显示(Liquid Crystal Displays, LCD)。然而,由于 IGZO TFT 长期运行后较严重的性能下降,集成栅极驱动电路(Gate Driver on Array, GOA)的使用寿命受到限制,这成为 IGZO GOA 在大尺寸 LCD 应用的一个关键障碍。本文提出一种具有双维持模块的高可靠性 IGZO GOA 电路,适用于大尺寸高分辨率 LCD,其中维持电路产生的双极性脉冲偏压可以有效抑制 IGZO TFT 阈值电压(Threshold Voltage, V_{th})漂移。详细分析了该 GOA 电路的工作原理,并进行了相关电学模拟。再者,表征了偏压温度应力下的 TFT 稳定性,以证明双极性脉冲偏压抑制 V_{th} 漂移的有效性。采用本文提出的新型 GOA 电路,制作了 55 英寸 UHD(3 840 × 2 160)高分辨率 LCD,具有 5 mm 窄边框特征,其中 GOA 电路仅占用 1.47 mm。此外,信赖性测试中,该 GOA 电路在高温高湿(60 °C/90%)环境稳定工作 1 000 小时。这些结果表明本文提出的 IGZO GOA 电路应用于大尺寸高分辨率 LCD 具有足够的可靠性。

关键词: InGaZnO 薄膜晶体管; 集成栅极驱动; 阈值电压漂移; 双极性脉冲偏压; 可靠性; 拉伸-指数方程

中图分类号: TN321.5 **文献标识码:** A **文章编号:** 0372-2112(2022)12-3014-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220916

Study of Highly Reliable Gate Driver on Array Based on InGaZnO Thin Film Transistor

ZHOU Liu-fei¹, SHAO Xian-jie², CHEN Xu², WANG Hai-hong², WANG Bao-ping¹

(1. School of Electronic Science and Engineering, Southeast University, Nanjing, Jiangsu 210096, China;

2. Research and Development Department, Nanjing BOE Display Technology Co., Ltd., Nanjing, Jiangsu 210033, China)

Abstract: Due to the high mobility of InGaZnO thin-film transistor(IGZO TFT), the active matrix liquid crystal display(LCD) using IGZO TFT is able to provide high resolution and high frame frequency. However, the lifetime of IGZO gate driver on array(GOA) is limited since the IGZO TFT usually suffers severe performance degradation after a long time operation, which comes to be a critical obstacle for GOA's application in large-sized LCDs. In this paper, a highly reliable IGZO GOA circuit with a dual low-level holding structure is proposed and fabricated for large-sized and high resolution LCD applications, in which bipolar pulse bias(BPB) is generated to suppress the threshold voltage(V_{th}) shift of IGZO TFT. The proposed GOA circuit can be divided into several units for different functions: pull-up control unit, pull up unit, pull down unit, low-level holding unit, and reset unit. The operation principle of the GOA is described in detail, and the related simulation is conducted. Then, bias temperature stress(BTS) measurements are performed to demonstrate the effectiveness of the BPB in suppressing the V_{th} shift. With this GOA, a 55-inch UHD(3 840 × 2 160) high resolution LCD panel with a 5 mm narrow bezel is achieved, in which the layout dimension of GOA circuit is only 1.47 mm. In addition, in a reliability test, the new GOA circuit operates stably at high temperature and high humidity(60 °C/90%) for 1000 h. These results can well prove that designed GOA has good enough reliability for large-sized and high resolution LCD.

Key words: InGaZnO thin film transistor; gate driver on array; threshold voltage shift; bipolar pulse bias; reliability; stretched-exponential equation

1 引言

近年来, InGaZnO 薄膜晶体管作为新一代显示应用的背板, 日趋成为大尺寸超高分辨率显示的主流驱动技术^[1-3], 包括液晶显示(Liquid Crystal Display, LCD)与有机发光二极管(Organic Light Emitting Diode, OLED)显示. 与传统非晶硅薄膜晶体管(amorphous Silicon TFT, a-Si TFT)相比, IGZO TFT 具有高迁移率(大于 $8 \text{ cm}^2/(\text{V}\cdot\text{s})$)、低漏电流(小于 10^{-2} A)、低亚阈摆幅(小于 0.3 V/dec)的优良特性, 同时保持了工艺简单、均匀性高、大面积化的制造优势^[4,5]. 由于 IGZO TFT 高迁移率与低漏电流特性, 基于 IGZO TFT 的 LCD 显示, 可很好地满足消费者对超高刷新率、超高分辨率与超低功耗的迫切需求. 尽管 IGZO TFT 具有比 a-Si TFT 更好的稳定性, 但一些研究表明, 相对于偏置电压, 受温度、水汽与光照等环境因素影响, 其仍表现出不可忽略的阈值电压(V_{TH})漂移^[6-8]. 目前, 已有大量文献报道 IGZO TFT 长期偏压工作状态下性能劣化的内在机理, 以及提升器件稳定性的方法^[9-12].

薄膜晶体管集成栅极驱动(Gate Driver on Array, GOA)已成为窄边框显示面板的主流技术, 外围栅极驱动器的集成, 增强了显示器的紧凑性, 且简化了模组流程, 降低了成本^[13]. 目前, 学术界与产业界针对 IGZO 集成栅极驱动技术都投入了若干研究, 提出多种 GOA 电路的优化设计方案, 重点解决了 IGZO 固有的 Depletion-mode 特性易造成 GOA 驱动功耗增大甚至输出故障的问题, 并成功应用于中小型 LCD^[14-17]. 此外, 与像素开关相比, GOA 电路的运行需要更均匀且更稳定的 IGZO 器件, GOA 晶体管长期工作状态下通常会遭受较严重的 V_{TH} 漂移(Threshold Voltage Shift, ΔV_{TH}), 导致 GOA 电路输出异常, 这正成为 IGZO 薄膜晶体管 GOA 电路应用于大尺寸高分辨率显示器的关键障碍^[18,19]. 其中, GOA 电路的低电平维持(Low Level Holding, LLH)TFT 通常处于栅电极正电压的高占空比脉冲偏置, 这些 TFT 总是经受相当大的 ΔV_{TH} , 当该 ΔV_{TH} 超出最大容许电压时, GOA 电路的栅极信号低电平输出将无法有效维持, 栅极驱动器发生故障, 导致显示异常. 因此, 针对延长集成栅极驱动器的寿命, 各种抑制 LLH TFT 阈值电压漂移的方法被提出, 包括低 DC 偏置驱动 LLH TFT、多脉冲信号驱动、交替修正偏置等^[20-22]. 以上改进的电路大多是应用于 a-Si 型栅极驱动器, 基于 IGZO 晶体管, 优化的 GOA LLH 电路方案尚未详细讨论.

本文提出一种新型的具有双维持模块 IGZO 集成栅极驱动电路, 特别适用于大尺寸高分辨率显示. 其中, 双维持模块交替工作, LLH TFT 均处于低频(0.3 Hz)双极性脉冲偏压(Bipolar Pulse Bias, BPB), 有效抑制晶体管 V_{TH} 漂移, 从而延长 GOA 电路工作寿

命. 首先, 详细分析了该 GOA 电路的工作原理及优点, 并进行了电学仿真. 再者, 测量了 LLH 晶体管在偏压温度压力(Bias Temperature Stress, BTS)下的 ΔV_{TH} 值, 证明 BPB 方案抑制 V_{TH} 漂移的有效性. 最后采用本文提出的 IGZO GOA 电路, 成功驱动了 55 英寸 UHD 高分辨率液晶显示面板, 并通过 1 000 小时信赖性测试.

2 传统 IGZO 集成栅极电路

图 1 是一种传统的应用于中小尺寸 LCD 的 IGZO 集成栅极电路, 包含 13 个 TFT 与 1 个自举电容 C1. 该电路可分为 5 个模块: (1) 上拉控制模块 M1; (2) 上拉模块 M10; (3) 下拉模块 M9; (4) 低电平维持模块 M4/M5/M6/M7/M8/M11, 用于保证 GOA 电路输出低电平 VGL 的稳定性, 其中 M5 与 M6 构成一个反相器, 输入端为 Qn, 输出端为 Pn; (5) 清空模块 M2/M3/M12/M13, 在每帧结束 CLR 信号输出高电平脉冲, 打开 M2/M3/M12, 分别清空 Qn/Pn/Gn 电荷, 即置位低电平以消除残电, 在每帧开始 GSP 信号输出高电平脉冲, 打开 M1, 再次清空 Qn 电荷.

IGZO 晶体管被施加正偏压温度应力(Positive Bias Temperature Stress, PBTS), 导致 V_{TH} 正向漂移问题, 仍是业界未能彻底解决的难题之一. 一般 GOA 电路中低电平维持 LLH 模块的晶体管长期处于 PBTS 状态, V_{TH} 正向漂移严重时, GOA 电路的低电平输出将失去维持, 导致栅极驱动器工作异常. 图 1 所示 GOA 电路没有晶体管一直工作于 PBTS 状态, 维持模块中 M7/M8/M11 正偏压周期时间也未超过 50%, 从而一定程度上保障晶体管 V_{TH} 稳定性, 使电路能够长期稳定地工作. 然而, 更高温度的工作环境下, V_{TH} 正向漂移加剧, 更易发生 GOA 电路信赖性失效. 因此, 为进一步提升 IGZO 栅极驱动器在恶劣环境下的使用寿命, 研究开发有效抑制 V_{TH} 漂移的新型 IGZO GOA 电路势在必行.

3 新型 IGZO 集成栅极电路

针对大尺寸高分辨率 LCD, 本文提出一种具有双维持模块的高可靠性 IGZO GOA 电路. 该 GOA 电路包含 21 个 TFT 与 1 个自举电容 C1, 可分为 5 个模块: (1) 上拉控制模块 M1; (2) 上拉模块 M10/M11; (3) 下拉模块 M9; (4) 低电平维持模块, M3A/M5A/M6A/M7A/M8A/M13A/M14A 构成 A 组, M3B/M5B/M6B/M7B/M8B/M13B/M14B 构成 B 组, A/B 两组维持模块交替运行; (5) 清空模块 M2/M4/M12, 在每帧结束 CLR 输出信号高电平脉冲, 打开 M2/M3/M12, 分别清空 Qn/Tn/Gn 电荷.

较之图 1 传统 IGZO 集成栅极驱动电路, 本文提出的新型 GOA 电路主要包含以下创新点: (1) 采用低电平双维持模块交替工作, 可以有效抑制 V_{TH} 正向漂移, 提升 GOA 电路可靠性及延长使用寿命, 此外, 双维持模块

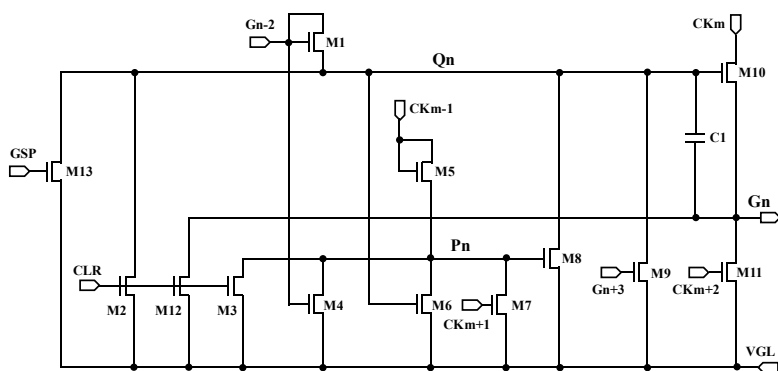


图1 传统IGZO GOA电路原理图

具有可修复性,提升面板生产良率;(2)使用独立的Tn信号,用于GOA级联的上拉控制与Qn下拉功能,亦提升电路可靠性;(3)采用8CK驱动较之4CK,负载降低一半,同时GOA输出的栅极信号高电平脉冲时间增加一倍,提升像素充电率。以上创新点,使该电路特别适用于驱动大尺寸高分辨率显示。

图2显示了本文提出的新型IGZO GOA电路原理图,结合图3所示时序图,该电路的操作分为5个阶段。(1)Qn上拉阶段,Tn-4输出高电平时,M1打开,Qn充入高电平电压,同时M7A/B打开,PnA与PnB充入低电平电压。此时M10打开,CKm为低,Gn输出低电平。(2)Gn上拉阶段,CKm由低电平变为高电平,此时M10

处于开启状态,使得Gn输出高电平,Qn自举至更高电位。(3)Gn下拉阶段,CKm由高电平变为低电平,此时Qn仍为高电平,因此Gn输出低电平。(4)Qn下拉阶段,当Tn+6由低电平变为高电平,M9打开,将Qn由高电平拉低为低电平,此后Qn保持低电平状态。(5)Qn与Gn维持阶段,此阶段Qn保持低电平,低频信号LC1/LC2,每100帧反转一次。当LC1为高电平时,M5A打开,PnA充入高电平,M8A/M13A/M14A处于开启状态,分别维持Qn/Gn/Tn低电平,即维持模块A工作;同理,当LC2为高电平时,M5B打开,PnB充入高电平,M8B/M13B/M14B处于开启状态,分别维持Qn/Gn/Tn低电平,即维持模块B工作。

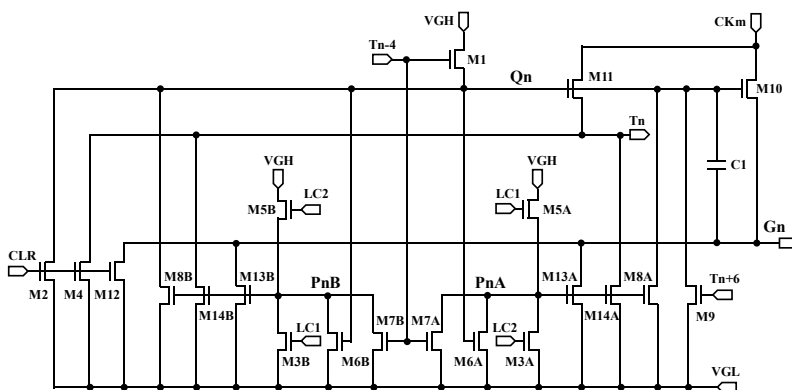


图2 本文提出的新型IGZO GOA电路原理图

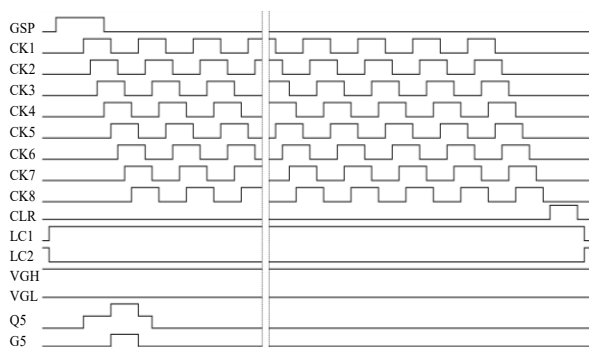


图3 本文提出的新型IGZO GOA电路时序图

当LC1为高电平、LC2为低电平时,维持模块A工作,维持模块B不工作;当LC2为高电平、LC1为低电平时,则反之。因此,该电路具有双维持模块且交替工作,LLH TFT始终处于BPB状态,有效抑制晶体管的 V_{TH} 漂移,提升GOA电路的工作寿命。

4 结果与讨论

4.1 晶体管器件

目前,应用于液晶显示的主流IGZO晶体管结构包括刻蚀阻挡型(Etch Stop Layer, ESL)与背沟道刻蚀型(Back Channel Etch, BCE)。BCE型器件较之ESL型,具

有窄沟道、小寄生电容、减 Mask 数量等优点,更适用于大尺寸高分辨率显示,因此本文选用 BCE 型 IGZO 晶体管. 晶体管器件的主要制作流程如下:首先制作 Ti/Cu 金属(膜厚 35/400 nm)的栅极;采用 $\text{SiN}_x/\text{SiO}_2$ (膜厚 355/55 nm)制作栅绝缘层;定义 IGZO(膜厚 85 nm)沟道层;制作 MoNb/Cu 金属(膜厚 35/350 nm)的源漏极;采用 $\text{SiO}_2/\text{SiN}_x$ (膜厚 300/50 nm)制作钝化层;最后制作 ITO(膜厚 90 nm)像素电极. 其中栅绝缘层与钝化层的通孔图形采用同一道 Mask 定义,因此共计使用五道 Mask.

图 4 显示了本文采用的 BCE 型 IGZO 晶体管 ($W/L=10/5 \mu\text{m}$),正偏压温度应力 PBTS 下测试的转移特性 ($I_{\text{DS}}-V_{\text{GS}}$) 曲线,偏压条件为直流电压 $V_{\text{GS}}=30 \text{ V}$ 、温度 60°C . PBTS 前的初始状态,该 IGZO 晶体管在室温量测下的 V_{TH} 迁移率、亚阈摆幅分别为 2.5 V 、 $9.6 \text{ cm}^2/(\text{V}\cdot\text{s})$ 、 $0.22 \text{ V}/\text{dec}$;PBTS 持续 3 600 s 后, V_{TH} 漂移值 (ΔV_{TH}) 为 1.68 V.

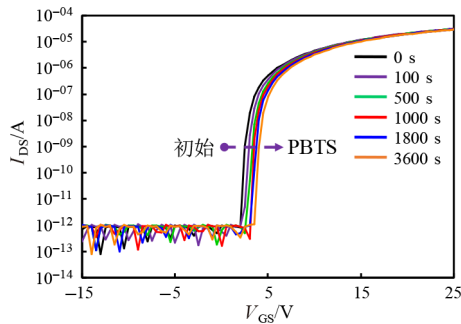


图 4 量测的 IGZO 晶体管转移特性曲线

4.2 GOA 电路模拟

基于 55 英寸 UHD 液晶面板,使用 Gateway 软件仿真了新型 IGZO GOA 电路的运行情况. 单条栅极线的电阻电容分别为 $2.56 \text{ k}\Omega$ 与 428.5 pF ;CK1~CK8 信号占空比为 50%,工作频率为 60 Hz,高低电平周期为 $60.8 \mu\text{s}$,正负电压分别为 26 V 和 -8 V. LC1 与 LC2 信号占空比为 50%,每 1.67 s 正负极性切换一次,正负电压分别为 26 V 和 -8 V.

图 5 显示了采用本文提出的 GOA 电路的 55 英寸 UHD 液晶面板第 5 级 Q5/P5/G5 输出波形. 如图 5 所示,LC1 与 LC2 分别切换为高电平时,P5A 与 P5B 交替上升至高电平,以保证维持阶段 Qn/Gn/Tn 低电平状态. 同时也表明 LLH 模块 TFT 均处于双极性脉冲偏压(PBP)状态,正负电压分别为 26 V 和 -8 V.

设定 M3/M5/M8/M13/M14 初始 V_{TH} 为 2.5 V,模拟这些 LLH 晶体管 V_{TH} 漂移后的 GOA 电路输出波形,图 6 显示了 V_{TH} 漂移后的第 5 级输出波形. V_{TH} 正向漂移 11 V ($\Delta V_{\text{TH}}=11 \text{ V}$) 时,Q5/P5/G5 均能稳定输出,波形无失真; V_{TH} 正向漂移 12 V ($\Delta V_{\text{TH}}=12 \text{ V}$) 时,P5 不能正常拉高,

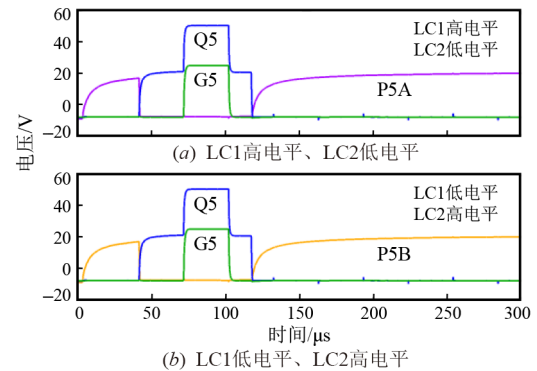


图 5 第 5 级的模拟波形

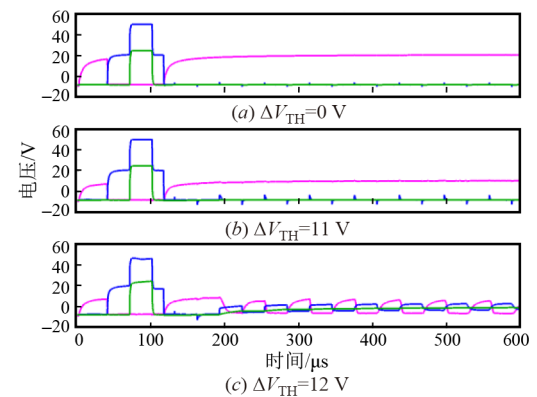


图 6 LLH 晶体管 V_{TH} 漂移后的模拟波形

Q5/G5 低电平状态无法有效维持. 因此,可以认为维持模块 TFT 阈值电压 V_{TH} 正向漂移不大于 11 V 的情况下,该栅极驱动器能正常工作.

4.3 BTS 量测结果

如图 7(a)所示,当 BCE 型 IGZO 晶体管处于正偏压应力(Positive Bias Stress, PBS)时,电子在有源层/栅绝缘层界面或栅绝缘层内被捕获,会排斥沟道内的电子,导致 V_{TH} 正向漂移,且在高温下,捕获电子的发生概率大大增加, V_{TH} 正向漂移加剧劣化. 如图 7(b)所示,当 IGZO 晶体管处于负偏压应力(Negative Bias Stress, NBS)时,空穴在有源层/栅绝缘层界面或栅绝缘层内被捕获,导致 V_{TH} 负向漂移,且在光照或水汽影响下, V_{TH} 负向漂移加剧劣化. 例如在光照作用下,IGZO 带隙中产生电子-空穴对,这些空穴在负栅极电压偏置的作用下迁移到有源层/栅绝缘层界面,进而被捕获,表现为 V_{TH} 负向漂移更严重.

为验证 BPB 抑制 V_{TH} 漂移的有效性,选取本文 GOA 电路维持模块中的 M8A 晶体管,进行偏压温度应力(Bias Temperature Stress, BTS)测试. 结合 BPB 方案,将占空比为 50%、脉冲宽度为 1.67 s 的正负极性方波施加到晶体管 M8A 栅电极,正偏压(V+)和负偏压(V-)分别为 26 V 和 -8 V,与 GOA 电路中实际施加的电压波形一致,并且分别进行了 60°C 与 85°C 高温测试.

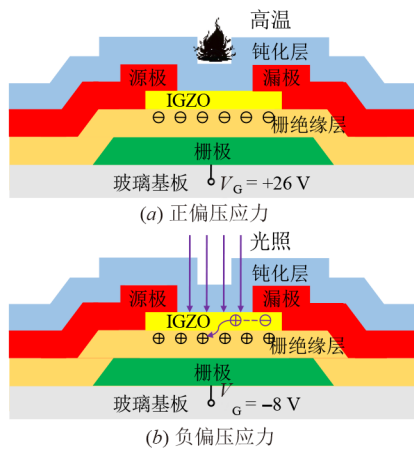
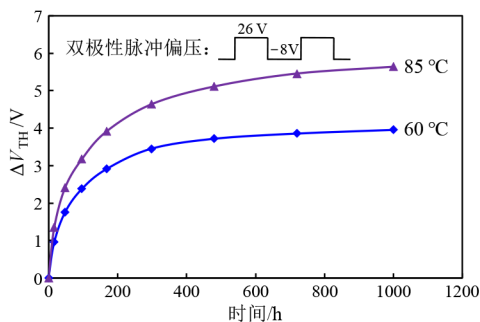


图7 正偏压应力与负偏压应力示意图

验证结果如图8所示,1000小时后 ΔV_{TH} 均远小于前文模拟得出的正向漂移容许值11V,从而可实现LLH晶体管维持 Q_n 与 G_n 低电平状态的高可靠性,长期工作下的输出波形不会发生失真.因此,采用双维持模块设计可显著提升IGZO GOA电路在高温环境下的稳定性与使用寿命.此外,双极性脉冲偏压下,晶体管 V_{TH} 正向漂移减小,可能是因为在负偏压应力期间,被捕获电子逃逸或空穴被捕获,从而一定程度上恢复了 V_{TH} 值.

图8 应力时间内量测的 ΔV_{TH} 值

根据文献[23,24]所述,IGZO TFT的 V_{TH} 漂移可采用式(1)所示的拉伸-指数方程进行拟合:

$$\Delta V_{TH} = V_0 \left\{ 1 - \exp \left[- \left(\frac{t}{\tau} \right)^\beta \right] \right\} \quad (1)$$

其中, V_0 是 V_{TH} 饱和值; τ 表示载流子的特性捕获时间; β 是拉伸指数; τ 与 β 是由stress具体条件决定的拉伸-指数参数.此外, τ 与温度 T 的函数关系如式(2)所示:

$$\tau = \tau_0 \exp \left(\frac{E_\tau}{kT} \right) \quad (2)$$

其中, E_τ 是沟道中的电子进入绝缘层需克服的平均有效势垒; τ_0 是热前因子; k 是玻尔兹曼常数.拟合BTS实

量测的M8A晶体管 ΔV_{TH} 值,在60℃及85℃均符合拉伸-指数方程式(1).例如,通过数值拟合,推导出60℃时, τ 与 β 分别为 3.2×10^6 s与0.48.

4.4 GOA 电路制作

提出的IGZO GOA电路采用五道Mask制作,晶体管为背沟道刻蚀(BCE)结构,应用于驱动55英寸UHD高分辨率液晶面板,验证了双模块维持电路方案的可行性及信赖性.如图9所示,本文的55英寸UHD液晶面板的左右边框为5mm,其中GOA电路单元仅占用1.47mm,相比之下,a-Si晶体管驱动55英寸UHD液晶面板的GOA电路单元一般需占用约3mm空间,这主要归因于IGZO高迁移率的特性,GOA晶体管仅需较小尺寸.例如,本文提出的IGZO GOA电路中M10与M8A晶体管宽长比(W/L)分别为2850/6 μm 与280/6 μm .M10的宽长比是影响 G_n 高电平脉冲波形上升时间(Rising Time, T_r)与下降时间(Falling Time, T_f)的关键参数,随着 W 增大, T_r 与 T_f 逐渐降低, W 取值为2850 μm 时, T_r 与 T_f 下降趋势已平缓,故本文IGZO GOA电路的M10宽长比取值为2850/6 μm .M8A用于维持 Q_n 节点的低电平状态,其 W 值增大有利于减小 Q_n 低电平的噪声电压,M8A晶体管 W 取值为280 μm ,可有效维持 Q_n 低电平的稳定性.此外,参考模拟及实际测试,55英寸UHD液晶面板采用a-Si GOA电路中的M10与M8A晶体管 W 取值则分别需要8200 μm 与780 μm .

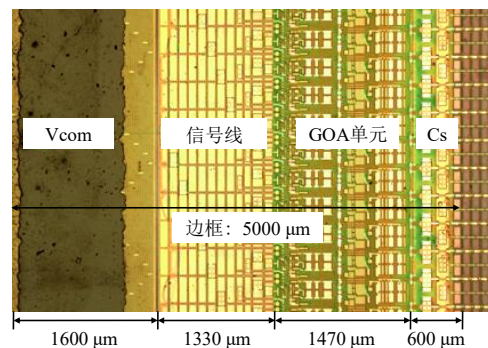


图9 制造的GOA电路的光学显微照片

为验证本文提出的GOA电路的可靠性,对55英寸UHD面板进行了全套信赖性测试,高温(60℃)和低温(-20℃)下分别运行1000h,高温(60℃)且高湿(90%)下运行1000h,开启/关闭3000次循环等.经过所有的可靠性测试,显示器仍正常工作,无任何GOA输出故障.图10显示了高温高湿(60℃/90%)信赖性后,量测的第1级(G1)与最后1级(G2160)的GOA输出波形,表明IGZO栅极驱动器工作正常,具有足够的可靠性.

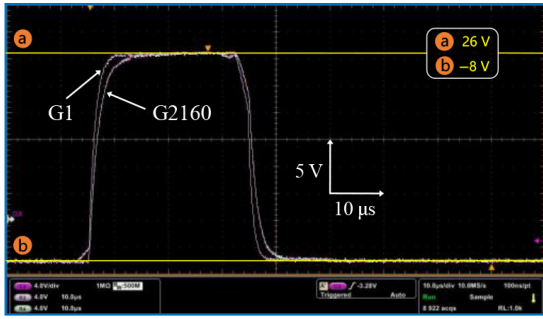


图 10 首级与末级 GOA 的量测输出波形

5 结论

传统集成栅极驱动电路仍存在 V_{TH} 漂移导致低电平输出无法有效维持的问题,从而表现为信赖性后 GOA 电路工作异常.为解决该问题,本文提出一种具有双维持模块的高可靠性 IGZO 集成栅极驱动电路,维持模块 TFT 均处于 BPB 状态,有效抑制 V_{TH} 漂移,提升 GOA 电路的使用寿命.首先,通过 Gateway 建模仿真,验证了提出的 IGZO GOA 电路具有较大的 V_{TH} 漂移冗余度.再者,进行了维持模块晶体管的 BTS 测试,表明高温环境下,实际的 ΔV_{TH} 远小于设计的容许值.最后,将该 GOA 电路成功应用于驱动 55 英寸 UHD 液晶面板,并通过高温高湿 1 000 小时的信赖性测试,实现了栅极驱动器高温环境下的长寿命.因此,本文提出的高可靠性 IGZO GOA 驱动电路适用于大尺寸高分辨率且窄边框液晶显示,未来可推广应用于 IGZO 驱动的大尺寸有机发光二极管显示.

参考文献

- [1] PARK J S. Review of recent developments in amorphous oxide semiconductor thin-film transistor devices[J]. *Thin Solid Films*, 2012, 520(6): 1679-1693.
- [2] XUE Y, WANG L J, ZHANG Y, et al. 31-inch 4K flexible display employing gate driver with metal oxide thin-film transistors[J]. *IEEE Electron Device Letters*, 2021, 42(2): 188-191.
- [3] YAMADA S, SHIMOSHIKIRYOH F, ITOH Y, et al. 37-4L: Late-news paper: Development of a 27-in. 8K x 4K liquid-crystal display utilizing an InGaZnO TFT backplane [J]. *SID Symposium Digest of Technical Papers*, 2016, 47(1): 480-483.
- [4] PARK J C, AHN S E, LEE H N. High-performance low-cost back-channel-etch amorphous gallium-indium-zinc oxide thin-film transistors by curing and passivation of the damaged back channel[J]. *ACS Applied Materials & Interfaces*, 2013, 5(23): 12262-12267.
- [5] ZHANG J N, HUANG W H, CHANG K C, et al. Performance enhancement and bending restoration for flexible amorphous indium gallium zinc oxide thin-film transistors by low-temperature supercritical dehydration treatment[J]. *ACS Applied Materials & Interfaces*, 2021, 13(7): 8584-8594.
- [6] CHEN T C, CHANG T C, TSAI C T, et al. Behaviors of InGaZnO thin film transistor under illuminated positive gate-bias stress[J]. *Applied Physics Letters*, 2010, 97(11): 112104.
- [7] KIM J I, CHO I T, JEONG C Y, et al. Local-degradation-induced threshold voltage shift in turned-OFF amorphous InGaZnO thin film transistors under AC drain bias stress [J]. *IEEE Electron Device Letters*, 2015, 36(6): 579-581.
- [8] CHEN T C, CHANG T C, HSIEH T Y, et al. Investigating the degradation behavior caused by charge trapping effect under DC and AC gate-bias stress for InGaZnO thin film transistor[J]. *Applied Physics Letters*, 2011, 99(2): 022104.
- [9] JEONG C Y, LEE D, SONG S H, et al. A study on the degradation mechanism of InGaZnO thin-film transistors under simultaneous gate and drain bias stresses based on the electronic trap characterization[J]. *Semiconductor Science and Technology*, 2014, 29(4): 045023.
- [10] XU P R, et al. Threshold-voltage shift model based on electron tunneling under positive gate bias stress for amorphous InGaZnO thin-film transistors[J]. *Displays*, 2018, 53: 14-17.
- [11] TAKAHASHI T, MIYANAGA R, FUJII M N, et al. Hot carrier effects in InGaZnO thin-film transistor[J]. *Applied Physics Express*, 2019, 12(9): 094007.
- [12] LIN D, SU W C, CHANG T C, et al. Effects of redundant electrode width on stability of a-InGaZnO thin-film transistors under hot-carrier stress[J]. *IEEE Transactions on Electron Devices*, 2020, 67(6): 2372-2375.
- [13] CHOI J W, KIM J I, KIM S H, et al. Highly reliable amorphous silicon gate driver using stable center-offset thin-film transistors[J]. *IEEE Transactions on Electron Devices*, 2010, 57(9): 2330-2334.
- [14] AHN S J, HONG S K, KWON O K. P-18: A low-power scan driver using depletion-mode a-IGZO TFTs for high-resolution displays[J]. *SID Symposium Digest of Technical Papers*, 2014, 45(1): 1009-1012.
- [15] JEONG H, CHOI B K, CHUNG H J, et al. Long life-time amorphous-InGaZnO TFT-based shift register using a reset clock signal[J]. *IEEE Electron Device Letters*, 2014, 35(8): 844-846.
- [16] KIM J H, Oh J S, Park K C, et al. IGZO TFT gate driver circuit with large threshold voltage margin[J]. *Displays*, 2018, 53: 1-7.
- [17] KIM B, CHO H N, CHOI W S, et al. A novel depletion-

mode a-IGZO TFT shift register with a node-shared structure[J]. IEEE Electron Device Letters, 2012, 33(7): 1003-1005.

- [18] SEO J, SONG S J, KIM D, et al. Robust low power DC-type shift register circuit capable of compensating threshold voltage shift of oxide TFTs[J]. Displays, 2017, 49: 65-71.
- [19] SHIN H J, TAKASUGI S, CHOI W S, et al. 28-2: A novel OLED display panel with high-reliability integrated gate driver circuit using IGZO TFTs for large-sized UHD TVs [J]. SID Symposium Digest of Technical Papers, 2018, 49 (1): 358-361.
- [20] LIN C L, CHENG M H, TU C D, et al. Highly reliable integrated gate driver circuit for large TFT-LCD applications[J]. IEEE Electron Device Letters, 2012, 33(5): 679-681.
- [21] LIN C L, CHENG M H, TU C D, et al. 2-D - 3-D switchable gate driver circuit for TFT-LCD applications[J]. IEEE Transactions on Electron Devices, 2014, 61(6): 2098-2105.
- [22] HU Z J, LIAO C W, LI J M, et al. P-12: A-Si: H TFT gate driver with shared dual pull-down units for large-sized TFT-LCD applications[J]. SID Symposium Digest of Technical Papers, 2014, 45(1): 986-989.
- [23] LEE J M, CHO I T, LEE J H, et al. Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors[J]. Applied Physics Letters, 2008, 93(9): 093504.
- [24] QIAN H M, YU G, LU H, et al. Temperature-dependent bias-stress-induced electrical instability of amorphous indium-gallium-zinc-oxide thin-film transistors[J]. Chinese Physics B, 2015, 24(7): 465-469.



王海宏 男, 1986年出生, 江苏海安人. 主要研究方向为新型显示设计与开发.
E-mail: wanghaihongscut@163.com

作者简介



周刘飞 男, 1982年出生, 江苏南通人. 主要研究方向为新型显示与集成驱动技术.
E-mail: zhouliufeia@163.com



陈旭 男, 1983年出生, 安徽马鞍山人. 主要研究方向为新型显示设计与开发.
E-mail: njuptchenxu@sina.cn